

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-9143

(43) 公開日 平成 8 年 (1996) 1 月 12 日

(51) Int. Cl. ⁶

H04N 1/387

G06T 1/00

識別記号

101

庁内整理番号

F I

技術表示箇所

G06F 15/64

325

A

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願平6-134071

(22) 出願日 平成 6 年 (1994) 6 月 16 日

(71) 出願人 000003562

株式会社テック

静岡県田方郡大仁町大仁570番地

(72) 発明者 小野 俊一

静岡県田方郡大仁町大仁570番地 東京電

気株式会社大仁工場内

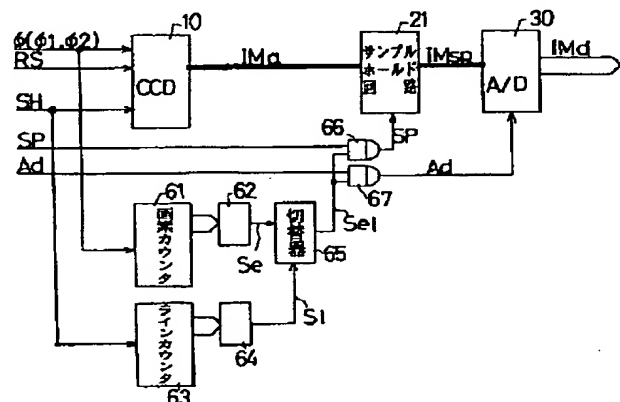
(74) 代理人 弁理士 長島 悦夫 (外 1 名)

(54) 【発明の名称】 画像読取装置

(57) 【要約】

【目的】 撮像素子の画素数で規定される最高分解能よりも低い分解能として選択的に一層の画像読取高速化を図ることのできる画像読取装置を提供する。

【構成】 本装置は、奇偶数画素判別手段 (6 1 , 6 2) と、奇偶数ライン判別手段 (6 3 , 6 4) と、デジタル変換交互切替制御手段 (6 5 , 6 6 , 6 7) とを設け、同一ライン (例えば、奇数ライン) 中では一方画素 (例えば、奇数画素) で読取ったアナログ画像データ I M a のみをデジタル画像データ I M d に変換し他方面素 (偶数画素) については変換しないとともに、他のライン (偶数ライン) に変化した場合には他方面素で読取ったアナログ画像データ I M a のみをデジタル画像データ I M d に変換し一方画素については変換しないでかつこのデジタル変換交互切替を繰返すことが可能に構成されている。



【特許請求の範囲】

【請求項1】 主走査方向に配列された多数の画素からなる撮像素子を副走査方向にラインごとに移動させつつ読取ったアナログ画像データをサンプルホールドするとともにデジタル画像データに変換して出力可能に構成された画像読取装置において、

前記撮像素子の読取ろうとする各画素が奇数画素であるか偶数画素であるかを判別する奇偶数画素判別手段と、前記撮像素子で読取ろうとするアナログ画像データが奇数ライン分であるのか偶数ライン分であるのかを判別する奇偶数ライン判別手段と、

前記撮像素子で読取ったアナログ画像データのうち該奇偶数画素判別手段で判別された奇数画素および偶数画素のいずれか一方の画素についてのアナログ画像データを前記デジタル画像データに変換可能かつ該奇偶数ライン判別手段で奇数ライン分および偶数ライン分のいずれか一方ライン分から他方ライン分へ変化したと判別される毎に該一方画素に対する他方画素についてのアナログ画像データを前記デジタル画像データに変換可能に形成されたデジタル変換交互切替制御手段と、
を設けたことを特徴とする画像読取装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、主走査方向に配列された多数の画素からなる撮像素子を副走査方向にラインごとに移動させつつ読取ったアナログ画像データをサンプルホールドするとともにデジタル画像データに変換して出力可能に構成された画像読取装置に関する。

【0002】

【従来の技術】 図7において、本体1には撮像素子10を有する読取ユニット3が副走査方向Yに往復移動されている。画像読取動作中は1ラインずつ移動される。撮像素子10は、主走査方向Xに配設された多数の画素（光電変換素子）からなる。

【0003】 かかる画像読取装置では、撮像素子10を副走査方向Yにラインごとに移動させつつ読取ったアナログ画像データをサンプルホールドするとともにデジタル画像データに変換して出力可能に構成されている。

【0004】 すなわち、図8、図9に示す如く、撮像素子（CCD）10をあるラインに停止させた場合にシフトパルスSHを用いて各画素を順番に切替え、かつ転送パルスφ（φ1、φ2）を用いて各画素ごとに対応されたアナログシフトレジスタをシフトさせつつ読取ったアナログ画像データ（信号）IMaを出力させる。このアナログ画像データIMaは、サンプルホールド回路21においてサンプルクロックSPを用いてサンプルホールドされ、サンプルホールド信号IMspとなり、引続きA/D変換器30において変換クロックAdに基づきデジタル画像データIMdに変換されて出力される。

【0005】 ここに、撮像素子10の1インチ当りの画

素数が例えば300の場合、読取画像の分解能は300DPIとなる。したがって、その画素数を増大させることなく分解能を高めるものとして、画素拡大機能を設ける場合も多い。この画素拡大機能は、各画素間の画像データを用いて演算した演算画像データを出力する擬制画素が存在するように擬制して上記300DPIに対して600DPIの分解能で画像を読取ることができるようにする機能である。

【0006】 しかし、この画素拡大機能は、データ平均化演算時間等が比較的長いので、画像読取りの一層の高速化を妨げる要因となる。例えば、図7に2点鎖線で囲んだ読取原稿P中の特定部分画像P1を読取る場合、読取原稿Pの全面を比較的低速な例えば上記600DPIで最初から高分解能読取りしていたのでは、無駄時間が多く結果として読取遅速化を招く。

【0007】 そこで、プレビュー機能を働かせ、全面（P）を例えば上記300DPIで比較的高速で読取らせ、全体画像を把握してから当該特定部分画像P1に撮像素子10を迅速に移動可能とする。そして、このプレビューの後に、特定部分画像P1を高分解能（600DPI）で読取りする。その余の画像は読取りを行わない。かくすれば、特定部分画像P1のみを高分解能でかつ高速に読取りすることができる。

【0008】

【発明が解決しようとする課題】 しかしながら、高分解能読取りおよび読取高速化の要求は一段と高まっている。したがって、撮像素子10の副走査方向Yへの移動速度を高めたり、サンプルホールド回路21やA/D変換器30の処理速度をより高速化する等の策を講じているが、装置の小型軽量化や低コスト化の点から一定の限界がある。

【0009】 一方において、高分解能読取りを前提とするものの、読取画像の利用面あるいは運用面の点から、一時的には例えば分解能を多少低下させても一層の高速読取りをさせたいとの要求も強い。上記プレビュー機能についても、この種要求の一つと考えられる。

【0010】 さらに、本装置がデータ通信回線で接続された上位機器によって読取開始・停止制御や読取画像の受信処理制御が成されるシステムでは、上位機器側の処理速度や処理能力の点から、より高速に処理を終了させたいとの指令を受ける場合も多い。

【0011】 本発明の目的は、撮像素子の画素数で規定される最高分解能よりも分解能を下げかつ選択的に一層の画像読取高速化を図ることのできる画像読取装置を提供することにある。

【0012】

【課題を解決するための手段】 本発明に係る画像読取装置は、主走査方向に配列された多数の画素からなる撮像素子を副走査方向にラインごとに移動させつつ読取ったアナログ画像データをサンプルホールドするとともにデ

デジタル画像データに変換して出力可能に構成された画像読取装置において、前記撮像素子の読取ろうとする各画素が奇数画素であるか偶数画素であるかを判別する奇偶画素判別手段と、前記撮像素子で読取ろうとするアナログ画像データが奇数ライン分であるのか偶数ライン分であるのかを判別する奇偶数ライン分判別手段と、前記撮像素子で読取ったアナログ画像データのうち該奇偶画素判別手段で判別された奇数画素および偶数画素のいずれか一方の画素についてのアナログ画像データを前記デジタル画像データに変換可能かつ該奇偶数ライン分判別手段で奇数ライン分および偶数ライン分のいずれか一方ライン分から他方ライン分へ変化したと判別される毎に該一方画素に対する他方画素についてのアナログ画像データを前記デジタル画像データに変換可能に形成されたデジタル変換交互切替制御手段と、を設けたことを特徴とする。

【 0 0 1 3 】

【作用】上記構成による本発明の場合、例えばプレビュー開始信号が入力されると、読取動作中に奇偶数画素判別手段が読取ろうとする各画素が奇数画素であるか偶数画素であるかを判別する。つまり、画素列中の各画素が奇数番目か偶数番目かを判別する。また、奇偶数ライン分判別手段が、読取ろうとするアナログ画素データが読取画像の奇数ライン分であるのか偶数ライン分であるのかを判別する。

【 0 0 1 4 】すると、デジタル変換交互切替制御手段が、同一ライン（例えば、奇数ライン）中では奇偶数画素判別手段で判別された一方画素（例えば、奇数画素）で読取ったアナログ画像データをデジタル画像データに変換する。他方画素（偶数画素）については変換しない。そして、奇偶数ライン分判別手段によってラインが偶数ラインへ変化したと判別されると、今度は他方画素（偶数画素）で読取られたアナログ画像データをデジタル画像データに変換する。この場合は、一方画素（奇数画素）については変換しない。以下、ラインが変わるごとにデジタル変換を交互に切替える。

【 0 0 1 5 】したがって、デジタル画像データは、撮像素子を形成する全画素のうちの半分の画素で読取られたアナログ画像データをデジタル変換したものとなり、かつ各ラインごとに段違いとされる。よって、読取速度を倍として高速読取りができかつ分解能は低下するが平均的かつ均一的な画像として読取ることができる。

【 0 0 1 6 】

【実施例】以下、本発明の実施例を図面を参照して説明する。本画像読取装置は、図 1 ～ 図 3 に示す如く、基本的構成（1, 3, 10, 21, 30）等が従来例（図 7, 図 8）の場合と同じとされ、かつ奇偶数画素判別手段（61, 62）と、奇偶数ライン分判別手段（63, 64）と、デジタル変換交互切替制御手段（65, 66, 67）とを設け、同一ライン（例えば、奇数ライ

ン）中では一方画素（例えば、奇数画素）で読取ったアナログ画像データ I M a のみをデジタル画像データ I M d に変換し他方画素（偶数画素）については変換しないとともに、他のライン（偶数ライン）に変化した場合には他方画素で読取ったアナログ画像データ I M a のみをデジタル画像データ I M d に変換し一方画素については変換しないでかつこのデジタル変換交互切替を繰返すことが可能と構成されているので、撮像素子 10 の画素数で規定される最高分解能よりも分解能を下げかつ選択的に一層の画像読取高速化を図ることができる。

【 0 0 1 7 】また、この実施例では、プレビュー機能の開始信号が入力されたことを条件に図 3 に示す切替器 65 を起動し、かつプレビュー終了後に停止（出力信号 S e l を H レベルに固定）させるものと形成してある。

【 0 0 1 8 】図 1 において、制御部 50 は、バス 54 で接続された CPU 51, ROM 52, システム RAM 53, 入出力ポート（I/O レジスタ）55, インターフェイス（I/F）56 とから形成され、装置全体を駆動制御する。データ通信回線 100 を介して上位機器（図示省略）から起動・停止がかけられかつデジタル画像データ I M d を処理した読取画像データを上位機器へ伝送可能とされている。イメージ RAM 45 は便宜的に制御部 50 内に明示した。

【 0 0 1 9 】入出力ポート 55 には、操作パネル 2 と蛍光灯 5 のドライバ 5 D と、撮像素子（CCD）10 のドライバ 10 D とが接続されている。この撮像素子 10 で読取ったアナログ画像データ I M a は、アナログ回路 20 中のアンプで増幅され、かつサンプルホールド回路 21 でサンプルホールドされる。しかる後に、このサンプルホールド信号 I M s p（I M a）は、A/D 変換器 30 でデジタル画像データ I M d にデジタル変換されて画像処理プロセッサ 40 へ出力される。なお、A/D 変換器 30 でデジタル変換される際にシェーディング補正される。

【 0 0 2 0 】さて、撮像素子 10 は、図 2 に示す如く、主走査方向 X に整列配設された多数（図示便宜上、“10”）の画素 11 を有する。説明便宜のために偶数（2, 4, 6, 8, 10）番目の画素 11 にはハッチング色付してある。また、各奇数画素 11 はシフトゲート 14 を介して奇数側アナログシフトレジスタ 12 に接続可能で、かつ各偶数画素 11 はシフトゲート 14 を介して偶数側アナログシフトレジスタ 13 に接続可能とされている。

【 0 0 2 1 】各シフトレジスタ 12, 13 は、転送パルス $\phi 1$, $\phi 2$ でシフトされ、シフトゲート 14 はシフトパルス S H によってシフトされる。15 は、マルチプレクサである。なお、この撮像素子 10 とサンプルホールド回路 21 と A/D 変換器 30 との関係は、従来例（図 8）に対応させた図 3 に示す通りである。

【 0 0 2 2 】ここに、奇偶数画素判別手段は、読取ろう

とする各画素11が奇数画素であるか偶数画素であるかを判別する手段で、この実施例の場合は、図3に示す画素カウンタ61と奇偶数画素識別信号発生器62とから形成されている。

【0023】すなわち、転送パルス ϕ ($\phi 1$, $\phi 2$)を画素カウンタ61でカウントし、そのカウント値によって奇偶数画素識別信号 S_e を切替器65に出力する。例えば、図5に示すように転送パルス $\phi 1$ がLレベルで $\phi 2$ がHレベルの場合に、奇数画素識別信号 S_e を出力(Hレベル)する。これと反対の場合には、偶数画素識別信号 S_e を出力(Lレベル)する。図4も参照されたい。

【0024】次に、奇偶数ライン分判別手段は、読取ろうとするアナログ画像データIMaが読取画像の奇数ライン分か偶数ライン分かを判別する手段で、この実施例ではシフトパルスSHをカウントする図3に示すラインカウンタ63と奇偶数ライン識別信号発生器64とからなる。したがって、シフトパルスSHが全画素数相当分だけ入力されると、図3、図4、図5に示す如く、例えば奇数ライン分の場合に奇数ライン識別信号S1を出力(例えば、Hレベル)し、偶数ライン分の場合は偶数ライン識別信号S1を出力(Lレベル)する。

【0025】デジタル変換交互切替制御手段は、撮像素子10で読取ったアナログ画像データIMaのうち奇偶数画素判別手段(61, 62)で判別された一方画素(例えば、偶数画素)についてのアナログ画像データIMaをデジタル画像データIMdに変換可能でかつ奇偶数ライン分判別手段(63, 64)で一方ライン分(例えば、奇数ライン分)から他方ライン分(偶数ライン分)へ変化したと判別される毎に該一方画素に対する他方画素(奇数画素)についてのアナログ画像データをデジタル変換可能とする手段で、図3に示す切替器65とANDゲート66, 67とから形成されている。

【0026】すなわち、切替器65は、奇偶数画素識別信号 S_e を図4に示す如く偶数ライン識別信号S1(Lレベル)で反転させた信号 S_{e1} を両ANDゲート66, 67に出力する。但し、奇数ライン識別信号S1(Hレベル)の場合は反転させない。したがって、図5、図6に示す如く、例えば奇数(1)ライン分で奇数画素11についてのアナログ画像データIMaを図5でハッチング色付表示したデジタル画像データIMdに変換した場合に引続き、偶数(2)ライン分に変化すると、今度は偶数画素11についてのアナログ画像データIMaをデジタル画像データIMdに変換できる。つまり、デジタル変換を各ラインごとに交互に切替えてできる。

【0027】なお、この実施例の場合は、プレビュー機能が終了すると、切替回路65の出力信号 S_{e1} はHレベルに固定化される。したがって、ANDゲート66, 67がスルー状態となるのでサンプルクロックSPと変

換クロックAdに基づく従来通りの画像読取りができる(図9参照)。

【0028】次に、この実施例の作用を説明する。撮像素子10の1インチ当りの画素数が例えば300つまり300DPIの分解能で、図7に示す読取原稿Pの特定部分画像P11を読取る場合を考える。但し、画素拡大機能を働かせれば600DPIの分解能で読取れる。

【0029】図1に示す制御部50にプレビュー開始信号が入力されると、CPU51は図3に示す切替器65を起動する。停止中における切替器65の出力信号はHレベルであった。

【0030】プレビュー機能が実行されると、奇偶数ライン分判別手段(63, 64)は、シフトパルスSHをカウントして奇数(1)ライン分と判別し、図3～図5に示す奇数ライン識別信号S1を出力(Hレベル)する。これと並行して奇偶数画素判別手段(61, 62)が、転送パルス ϕ ($\phi 1$, $\phi 2$)を入力として奇数画素11の場合は奇数画素識別信号 S_e を出力(Hレベル)し、かつ偶数画素11の場合は偶数画素識別信号 S_e を出力(Lレベル)する。

【0031】すると、デジタル変換交互切替制御手段(65, 66, 67)を形成する切替器65は、奇数ライン識別信号S1がHレベルであるから、奇偶数画素識別信号発生器62から出力された奇偶数画素識別信号 S_e を信号反転させないでそのまゝの信号 S_{e1} を両ANDゲート66, 67に出力する。したがって、図5に示す如く、サンプルクロックSPおよび変換クロックAdは、奇数画素の場合にサンプルホールドしかつデジタル変換させる。また、奇数(1)ライン分については、図6に示すように奇数画素11で読取ったアナログ画像データIMaのみがデジタル画像データIMdに変換されて出力される。この際、偶数画素11については変換されないで、1ライン分の読取時間を半減できる。

【0032】奇数(1)ライン分の画像読取りが終了すると、CPU51は読取ユニット3を図6、図7に示す副走査方向Yに1ライン分だけ移動させ次ラインの画像読取りを行わせる。

【0033】すると、奇偶数ライン分判別手段(63, 64)が、偶数(2)ライン分と判別し、図3～図5に示す偶数ライン識別信号S1を出力(Lレベル)する。偶数(2)ラインの読取りでも、奇偶数画素判別手段(61, 62)の判別は、図4に示す通り奇数(1)ラインの読取りの場合と同じである。

【0034】切替器65は、奇偶数画素識別信号発生器62から出力された奇偶数画素識別信号 S_e すなわちHレベルの奇数画素識別信号 S_e とLレベルの偶数画素識別信号 S_e とを、Lレベルの偶数ライン識別信号S1で信号反転させた信号 S_{e1} として両ANDゲート66, 67へ出力する。

【0035】したがって、偶数(2)ライン分について

は、図6に示すように偶数画素 1,1 で読取ったアナログ画像データデータ I M a のみがデジタル画像データ I M d に変換されて出力される。奇数画素 1 1 については変換出力されない。この場合も、1 ライン分の読取時間を半減できる。

【0036】かくして、プレビュー機能により読取られた全面画像データ (P) は、図6に示す如く、段違い状態で間引きされた千鳥状となる。したがって、撮像素子 10 の全画素数 (n) と全ライン (1, 2, ..., N) との全読取ポイント (n×N) の 1/2 だけをデジタル画像データ I M d に変換出力すればよいので、従来例の 300 D P I によるプレビュー時間を 1/2 時間だけ短縮できる。

【0037】プレビューが終了すると、CPU 51 は切替器 65 の出力信号 S e l を H レベルに固定化する。したがって、図7に示す特定部分画像 P 1 を 300 D P I (または 600 D P I) の高分解能で読取らせることができる。全体として大幅な高速読取が達成できると理解される。

【0038】しかして、この実施例によれば、奇偶数画素判別手段 (61, 62) と、奇偶数ライン分判別手段 (63, 64) と、デジタル変換交互切替制御手段 (65, 66, 67) とを設け、同一ライン (例えば、奇数ライン) 中では一方画素 (例えば、奇数画素) で読取ったアナログ画像データ I M a のみをデジタル画像データ I M d に変換し他方画素 (偶数画素) については変換しないととも、他のライン (偶数ライン) に変化した場合には他方画素で読取ったアナログ画像データ I M a のみをデジタル画像データ I M d に変換し一方画素については変換しないでかつこのデジタル変換交互切替を繰返すことが可能と構成されているので、撮像素子 10 の画素数で規定される最高分解能 (300 または 600 D P I) よりも分解能を下げかつ選択的に一層の画像読取高速化を図ることができる。したがって、プレビュー時間を半減させたり、読取画像を利用面等に応じて高速読取させられる適用性の広い画像読取装置を提供することができる。

【0039】また、奇偶数画素判別手段が画素カウンタ 61 と奇偶数画素識別信号発生器 62 とから形成され、かつ奇偶数ライン分判別手段がラインカウンタ 63 と奇偶数ライン識別信号発生器 64 とから形成されるとともに、デジタル変換交互切替制御手段が切替器 65 と A N D ゲート 66, 67 とから形成されているので、低コストで具現化容易であるとともに、既存信号 (φ 1, φ 2, S H) を利用して判別、変換交互切替を行うので迅速かつ正確に処理できる。

【0040】また、切替器 65 を停止させれば、デジタル変換交互切替制御を中断できるので、例えばプレビュー終了後に図7に示す特定部分画像 P 1 1 の高分解能読取工程へ迅速に移行させることができる。

【0041】

【発明の効果】本発明によれば、奇偶数画素判別手段と、奇偶数ライン分判別手段と、デジタル変換交互切替制御手段とを設け、同一ライン (例えば、奇数ライン) 中では一方画素 (例えば、奇数画素) で読取ったアナログ画像データのみをデジタル画像データに変換し他方画素 (偶数画素) については変換しないととも、他のライン (偶数ライン) に変化した場合には他方画素で読取ったアナログ画像データのみをデジタル画像データに変換し一方画素については変換しないでかつこのデジタル変換交互切替を繰返すことが可能と構成されているので、撮像素子の画素数で規定される最高分解能よりも分解能を下げかつ選択的に一層の画像読取高速化を図ることができる。したがって、プレビュー時間を半減させたり、読取画像を利用面等に応じて高速読取させられる適用性の広い画像読取装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【図2】同じく、撮像素子の構造を説明するための図である。

【図3】同じく、奇偶数画素判別手段等を説明するための回路図である。

【図4】同じく、各種信号間の関係を説明するための図である。

【図5】同じく、動作を説明するためのタイミングチャートである。

【図6】同じく、デジタル変換交互切替制御により読取った画像を説明するための図である。

【図7】従来例を説明するための概略図である。

【図8】同じく、回路図である。

【図9】同じく、従来動作を説明するためのタイミングチャートである。

【符号の説明】

- 1 本体
- 10 撮像素子
- 11 画素
- 12 奇数側アナログシフトレジスタ
- 13 偶数側アナログシフトレジスタ
- 14 シフトゲート
- 15 マルチプレクサ
- 20 アナログ回路
- 21 サンプルホールド回路
- 30 A/D変換器
- 40 画像処理プロセッサ
- 50 制御部
- 61 画素カウンタ (奇偶数画素判別手段)
- 62 奇偶数画素識別信号発生器 (奇偶数画素判別手段)
- 63 ラインカウンタ (奇偶数ライン分判別手段)
- 64 奇偶数ライン識別信号発生器 (奇偶数ライン分判

別手段)

65 切替器 (デジタル変換交互切替制御手段)

66, 67 ANDゲート (デジタル変換交互切替制御手段)

IMa アナログ画像データ

IMsp サンプルホールド信号

IMd デジタル画像データ

Se 奇偶数画素識別信号

Sl 奇偶数ライン識別信号

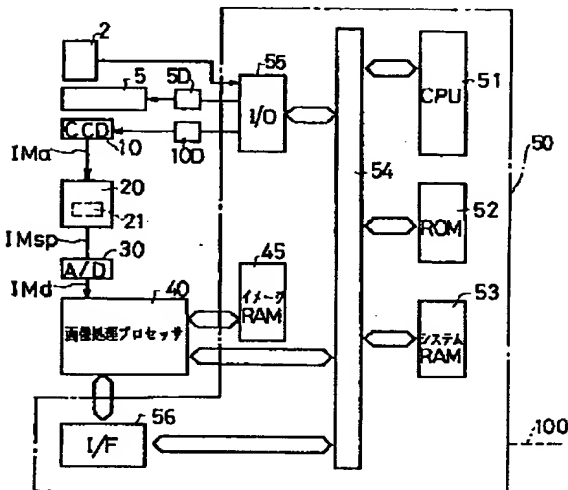
SP サンプルクロック

Ad 変換クロック

X 主走査方向

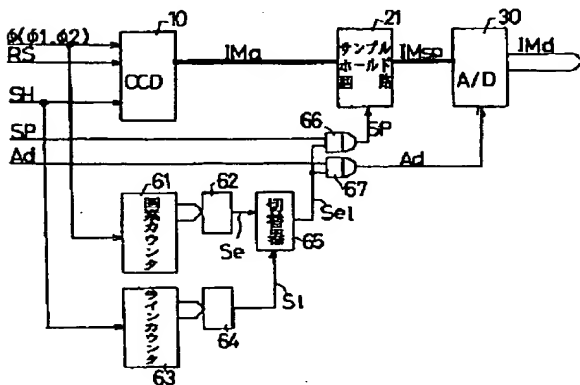
Y 副走査方向

【図 1】

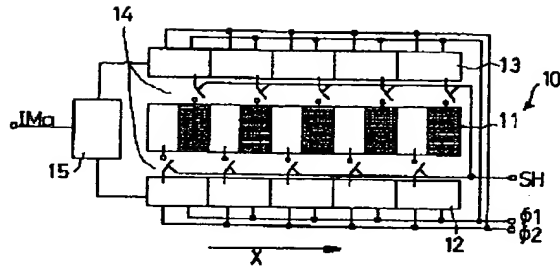


- 10 撮像素子
11 画素
61 画素カウンタ (奇偶数画素判別手段)
62 奇偶数画素識別信号発生器 (奇偶数画素判別手段)
63 ラインカウンタ (奇偶数ライン判別手段)
64 奇偶数ライン識別信号発生器 (奇偶数ライン判別手段)
65 切替器 (デジタル変換交互切替制御手段)
66, 67 ANDゲート (デジタル変換交互切替制御手段)
IMa アナログ画像データ
IMd デジタル画像データ
X 主走査方向
Y 副走査方向

【図 3】



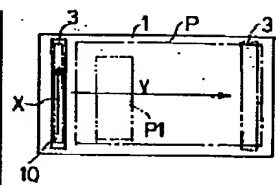
【図 2】



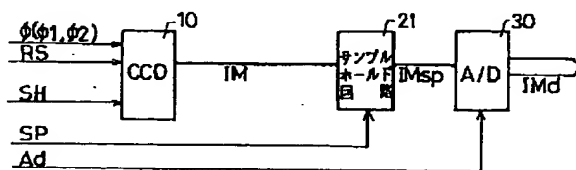
【図 4】

信号	奇数ライン分		偶数ライン分	
	奇数画素	偶数画素	奇数画素	偶数画素
$\phi 1$	L	H	L	H
$\phi 2$	H	L	H	L
Se	H	L	H	L
Sl	H	H	L	L
Se l	H	L	L	H
SP	H	L	L	H
Ad	H	L	L	H
デジタル変換	O	x	x	O

【図 7】



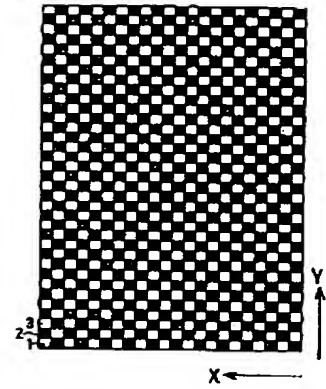
【図 8】



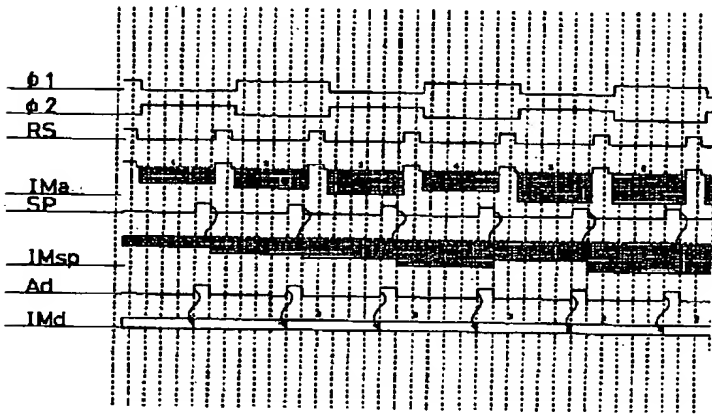
【図 5】



【図 6】



【図 9】



This Page Blank (uspto)